

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-015603

(43) Dat of publication of application : 24.01.1987

(51)Int.Cl.

G05B 13/00

(21)Application number : 60-154887

(71)Applicant : OMRON TATEISI ELECTRONICS CO

(22)Date of filing : 12.07.1985

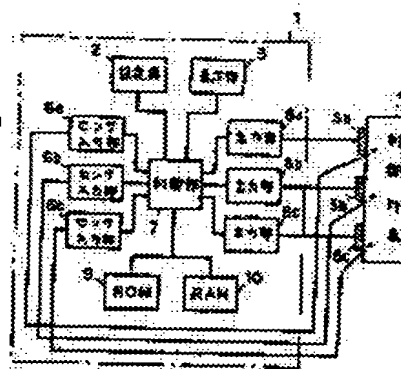
(72)Inventor : NAGAO TOSHIKI  
SUKIMOTO YASUYUKI

### (54) PID CONTROLLER

**(57)Abstract:**

**PURPOSE:** To shorten the tuning time by performing the turning actions at a time for plural control loops in a tuning mode of the PID constant of a controlled system.

**CONSTITUTION:** Plural loops receive the operations based on the control inputs obtained from plural detecting points and the tuning actions are carried out at a time for these loops. Thus the PID constants of each loop are calculated at a time. Then the loops with which the tuning actions is through performs the control based on the obtained PID constants before the PID constants of all loops are calculated. In such a way, the optimum tuning is possible with each PID constant when the controlled system is controlled at operating points 5aW5c having the mutual interference.



## LEGAL STATUS

[Date of request for examination]

**[Date of sending the examiner's decision of rejection]**

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2000 Japan Patent Office

⑨ 日本国特許庁(J P)

⑪ 特許出願公開

⑩ 公開特許公報(A)

昭62-15603

⑫ Int. Cl.<sup>4</sup>  
G 05 B 13/00

識別記号

庁内整理番号  
8225-5H

⑬ 公開 昭和62年(1987)1月24日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 P I D制御装置

⑮ 特 願 昭60-154887

⑯ 出 願 昭60(1985)7月12日

⑰ 発 明 者	長 尾 敏 明	京都市右京区花園土堂町10番地	立石電機株式会社内
⑱ 発 明 者	鋤 本 泰 行	京都市右京区花園土堂町10番地	立石電機株式会社内
⑲ 出 願 人	立石電機株式会社	京都市右京区花園土堂町10番地	
⑳ 代 理 人	弁理士 岡本 宜喜	外1名	

#### 明 細 書

##### 1. 発明の名称

P I D制御装置

##### 2. 特許請求の範囲

(1) 複数点の制御量を夫々検出する検出手段と、前記各検出手段の検知入力に基づいて干渉系の制御対象の複数の操作点に夫々操作を行う複数の制御ループを有するP I D制御装置であって、

前記各制御ループのステップ応答により同時にP I D定数を算出するP I D定数算出手段と、

前記P I D定数算出手段による全ての制御ループのP I D定数算出終了前に、P I D定数算出後の制御ループを該算出されたP I D定数に基づいて夫々制御する制御手段と、を具備することを特徴とするP I D制御装置。

##### 3. 発明の詳細な説明

###### (発明の分野)

本発明は干渉系制御対象の複数の検出点からの入力信号に基づいて、夫々異なる操作点にP I D制御操作を加える複数の制御ループを有するP I

D制御装置に関するものである。

###### (発明の概要)

本発明によるP I D制御装置は、制御対象のP I D定数のチューニング時に夫々の制御ループについて同時にチューニングを行うようにしたものである。こうすれば互いの干渉を含んだ状態で良好なP I D定数を得ることができる。

###### (従来技術とその問題点)

従来ある種の制御対象、例えば合成樹脂の整形装置等に用いられるシリンダの加熱装置等は複数の操作点の温度が夫々最適値となるように制御する必要があるので、複数の検出点より温度を検出して夫々の操作点の温度を制御するようにしている。このような複数の検出点に夫々操作用力を与えるマルチループ制御において、従来は検出点の温度を操作用力にフィードバックするシングルループのP I D制御装置を複数個用いて行っており、夫々のループのP I D定数は独立して設定するようにしていた。

しかしながら同一の制御対象であるシリンダは

熱的に結合しており、ある操作点を加熱した場合に他の検出点や操作点に干渉を与える。それ故干渉の影響を考慮することなく独立してPID定数を定めれば、最適なPID定数を得ることができなくなるといった問題点があった。

#### 〔発明の目的〕

本発明はこのような従来のPID制御装置の問題点に鑑みて成されたものであって、干渉系の制御対象の複数点をマルチループ制御により制御する際に各ループのチューニングを同時に行い、相互の系の干渉を含んだ状態でPID定数を定めることができるPID制御装置を提供するものである。

#### 〔発明の構成と効果〕

本発明は複数点の制御量を夫々検出する検出手段と、各検出手段の検知入力に基づいて干渉系の制御対象の複数の操作点に夫々操作を行う複数の制御ループを有するPID制御装置であって、各制御ループのステップ応答により同時にPID定数を算出するPID定数算出手段と、PID定数

算出手段による全ての制御ループのPID定数算出終了前に、PID定数算出後の制御ループを算出されたPID定数に基づいて夫々制御する制御手段と、を具備することを特徴とするものである。

このような特徴を有する本発明によれば、複数の検出点から得られる制御入力に基づいて操作を加える複数のループを有し、各ループのチューニングを同時に行うことによって各PID定数を同時に算出している。そして全てのループのPID定数が算出されるまでに既にチューニングを終えたループでは求まったPID定数に基づいた制御を行っている。従って系の干渉を含んだPID定数を夫々のループについて得ることが可能となり、正確なPID定数を得ることができる。又複数のループのチューニングを同時に実施しているため、夫々独立して行う場合に比べてチューニングに要する時間を大幅に短縮することが可能となる。

#### 〔実施例の説明〕

第1図は本発明の一実施例を示す温度調節装置

の全体構成図である。本図において温度調節装置1は制御ステップの設定、チューニング要求等の操作を行う設定器2、ステップの番号や設定温度、現在の温度を表示する表示部3を有しており、複数の操作点を有する熱的な干渉系の制御対象4、例えば前述したシリンダの加熱装置を制御するものとする。制御対象4の各操作点5a, 5b, 5cには夫々センサが設けられ、各センサ出力がセンサ入力部6a, 6b, 6cを介して制御部7に与えられる。制御部7は中央演算装置(以下CPUという)から成り、制御対象4の各操作点5a~5cを直接操作するヒータ等の出力部8a, 8b, 8cが接続され、更に記憶手段としてリードオンリメモリ(以下ROMという)9、及びランダムアクセスメモリ(以下RAMという)10が接続されている。ROM9は制御部7の演算処理手順を記憶するものであって、RAM10は設定器2やセンサ入力部6a~6cから与えられる各種の制御データ及びチューニング時に用いられるデータを記憶する領域を有している。ここでこの温度調

節装置1は操作点5a~5cの温度を夫々制御する3つのループLa~Lcを有するマルチループ制御装置である。

第2図はRAM10の記憶内容を示すメモリマップである。本図においてRAM10にはループLa~Lcの夫々の応答速度 $\tau_a \sim \tau_c$ 、無駄時間 $\delta_a \sim \delta_c$ 及び夫々のチューニングのフェーズを示すフェーズ $p_a, p_b, p_c$ と、チューニングの結果得られる夫々のループのPID定数である比例定数 $P_a \sim P_c$ 、積分定数 $I_a \sim I_c$ 、微分定数 $D_a \sim D_c$ の各領域が設けられ、更にオフ点とチューニングスタートフラグを示す領域が設けられている。

次に本実施例の温度調節装置のチューニング動作について第3図のフローチャート及び第4図の波形図を参照しつつ説明する。このフローチャートにおいて引き出し線を用いて示す番号は制御部7の処理ルーチン又は動作ステップを示すものである。まずチューニング開始時にはあらかじめ設定器2よりチューニング設定を入力しておくものとする。そうすれば動作開始後ステップ20におい

てチューニングスタートフラグが立っているかどうかをチェックする。このフラグが既に立っている場合にはループL<sub>a</sub>～L<sub>c</sub>の全てのフェーズpa～pcを1とし、チューニングスタートフラグが立っていない場合にはステップ21の処理を経ることなくステップ22に進む。ステップ22では全てのフェーズが0であるかどうかをチェックし、0でなければステップ23に進んでフェーズpaが1又は2であるかどうかをチェックする。フェーズpaが1又は2の場合にはルーチン24に進んでループL<sub>a</sub>の制御系の応答特性を測定する。この応答測定は第4図(n)、(o)に示すように出力部8aの操作出力をオンとし、操作点5aのセンサ入力端から得られる最大の応答速度をraとし、制御量がオフ点に達すればフェーズpaを2として操作出力を停止した後制御量が減少するまでの時間を無駄時間saとしてRAM10の所定領域に読み込みPID定数を算出する処理を行う。この処理を開始した後にステップ25に進みループL<sub>a</sub>の特性測定を終了したかどうかをチェックし、終了していればステップ

26においてフェーズpaを3とし、測定が終了してなければこの処理を行うことなくステップ29に進む。ステップ29からステップ32においても同様にしてループL<sub>b</sub>のフェーズをチェックし、フェーズが1又は2の場合にはループL<sub>b</sub>の制御系の応答特性を測定し、終了すればフェーズを3とする。更にループL<sub>c</sub>についても同様にしてステップ35～38においてフェーズpcが1又は2かどうかをチェックし、その場合には制御系の応答特性を測定し特性測定が終了すればフェーズpcを3とする。これらの処理は同時にほぼ並行して行われ、ステップ41において全てのフェーズpa～pcが3となっているかどうかをチェックする。全てのフェーズが3でなければチューニングが終了していないのでステップ44に進んでサンプリング周期の完了を待受け、ステップ22に戻って同様の処理を繰り返す。そして第4図(n)～(o)に示すようにフェーズpa～pcが1では各ループの操作出力をオンとして最大応答速度ra～rcを測定し、その後制御量がオフ点に達すればフェーズを2とし操作出力をオ

フとする。そして各制御量が極値に達するまでの時間を無駄時間sa～scとしてRAM10の所定領域に書き込む。

さていずれかのループ、例えば第4図(n)、(o)のタイムチャートに示すように、ループL<sub>a</sub>で時刻t<sub>1</sub>にオフ点に達すればフェーズpaを2とし、時刻t<sub>2</sub>に応答速度ra、無駄時間saの測定が終了しフェーズが3となっていれば、次のサンプリング周期ではステップ23よりステップ27を介して28に進み出力部8aより既に算出したPID定数Pa、Ia、DaによるPID制御を行う。同様にして時刻t<sub>3</sub>にループL<sub>b</sub>の制御量がオフ点に達すればフェーズを2とし無駄時間sbを測定する。そして時刻t<sub>4</sub>において無駄時間の測定が終了すればステップ31よりステップ32に進んでフェーズpbを3とする。従って時刻t<sub>4</sub>以後のサンプリング周期ではステップ29、33からステップ34に進み、ここで算出したPID定数によりループL<sub>b</sub>のPID制御を行う。こうすれば相互に干渉する複数の操作点で制御対象を制御する場合に夫々のPID定数

を最適にチューニングすることができる。同様にして時刻t<sub>5</sub>でループL<sub>c</sub>の制御量がオフ点に達すればフェーズpcを2としループL<sub>c</sub>の無駄時間scを算出する。そしてループL<sub>c</sub>の特性測定が終了すればステップ38に進んでフェーズpcを3とする。そうすればステップ41において全てのフェーズが3となるのでステップ42に進み、チューニングを終えて全てのPID定数の算出が完了したのでステップ43において全てのフェーズpa～pcをクリアしてサンプリングの完了を待ってステップ22に戻る。この後は全てのフェーズが0であるのでステップ22からルーチン45に進んで夫々のループL<sub>a</sub>～L<sub>c</sub>についてPID制御が実行される。

尚本実施例ではチューニング時に既にチューニングを完了したループは他のループのチューニングが完了するまでPID制御を行っているが、比例制御のみを行うようにすることも可能である。

#### 4. 図面の簡単な説明

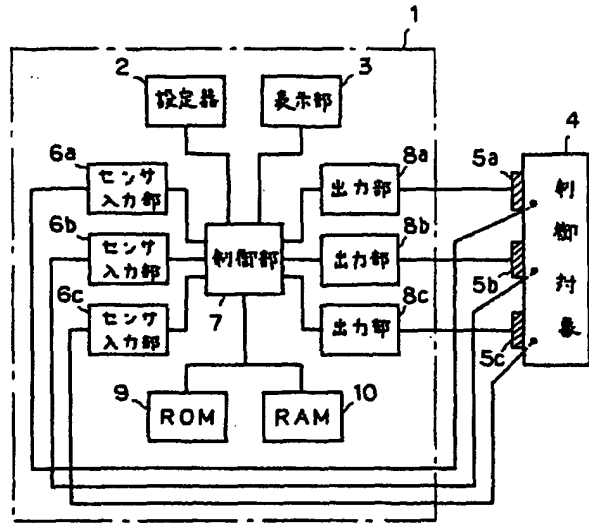
第1図は本発明によるPID制御装置の一実施例を示す温度調節装置のブロック図、第2図はR

AM10のメモリ内容を示すメモリマップ、第3図は各ループのPID定数を算出するチューニング処理を示すフローチャート、第4図はそのときの制御量を示すグラフ及びそのときの各部の操作出力とフェーズを示すタイムチャートである。

1 --- 温度調節装置    2 --- 設定器    3 --- 表示部  
4 --- 制御対象    5a~5c --- 操作点  
6a~6c --- センサ入力部    7 --- 制御部  
8a~8c --- 出力部    9 --- ROM  
10 --- RAM    La~Lc --- ループ

特許出願人    立石電機株式会社  
代理人    弁理士    岡本宜喜 (他1名)

第 1 図



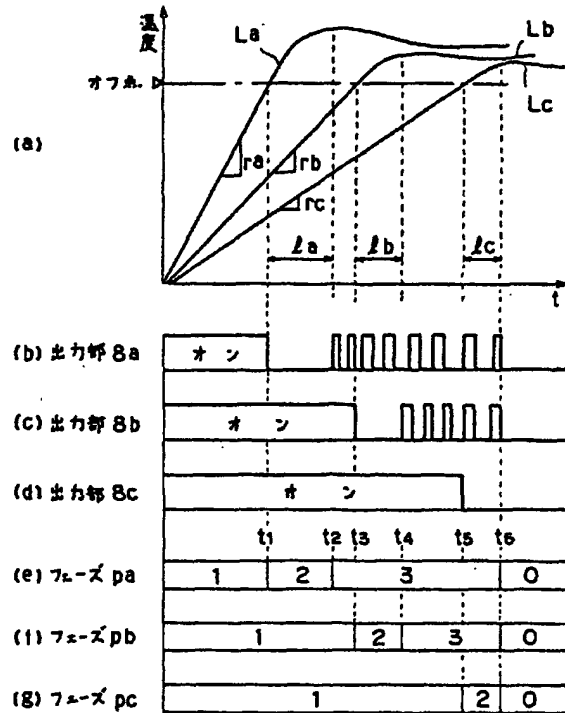
1 ----- 温度調節装置  
5a-5c ----- 操作点

第 2 図

応答速度 $r_a$
無駄時間 $l_a$
フェーズ $p_a$
比例定数 $P_a$
積分定数 $I_a$
微分定数 $D_a$
応答速度 $r_b$
無駄時間 $l_b$
フェーズ $p_b$
比例定数 $P_b$
積分定数 $I_b$
微分定数 $D_b$

応答速度 $r_c$
無駄時間 $l_c$
フェーズ $p_c$
比例定数 $P_c$
積分定数 $I_c$
微分定数 $D_c$
オフ点
チューニングスタート フラグ

第 4 図



第3図

